

Лекция 6. Системный блок ЭВМ

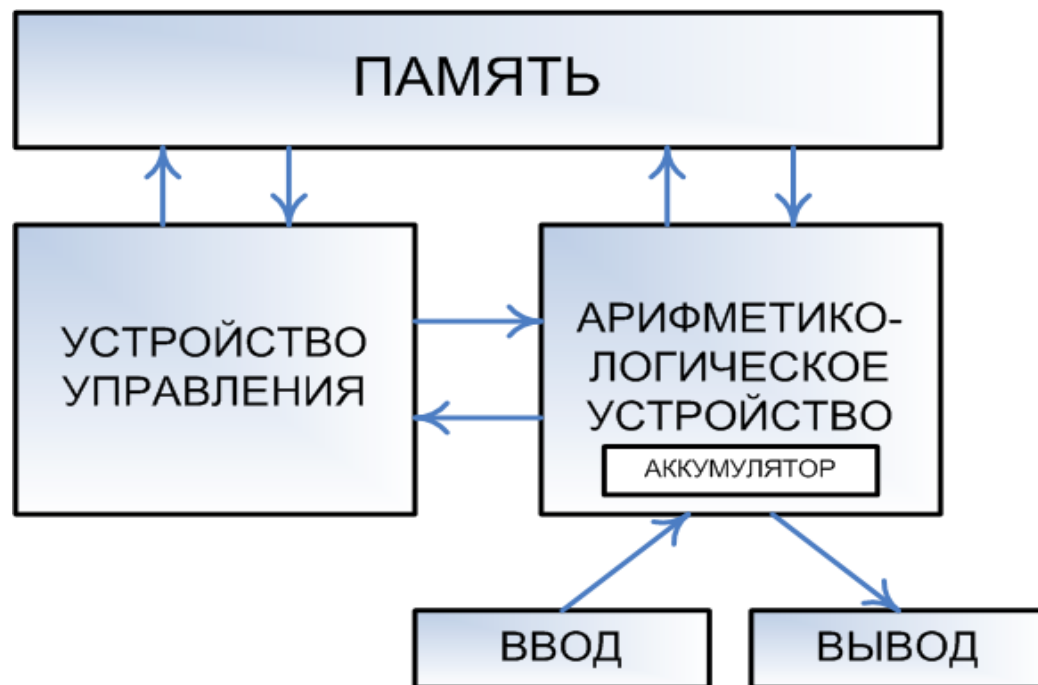
Архитектура Фон-Неймана (1903)

1930г - сотрудник Принстонского института перспективных исследований

- АЛУ, УУ, ЗУ, Ю.
- Память для программы и данных
- УУ и АЛУ = СРУ
- Двоичный код

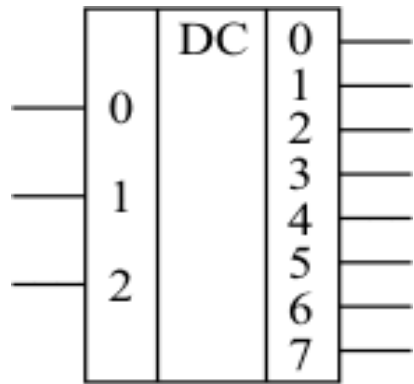
Машина Фон-Неймана:

- 4096 слов по 40 бит
- Команда — код операции и адрес числа
- Регистр - аккумулятор

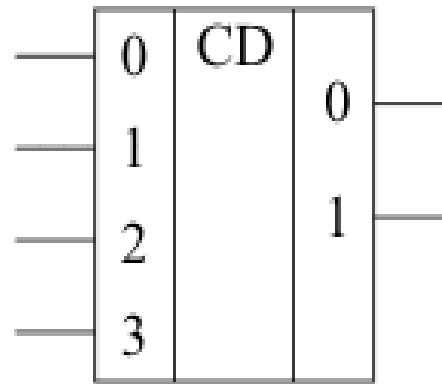


В СССР: Сергей Алексеевич Лебедев, Киев, МЭСМ, 1951

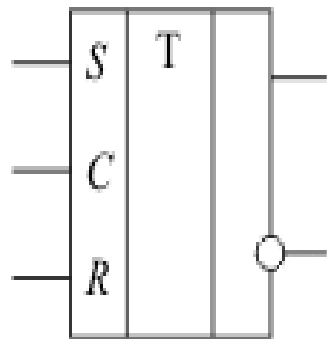
АЛУ, УУ их составные элементы



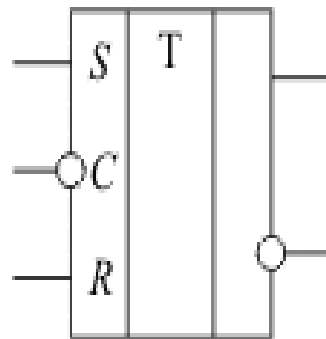
Дешифратор



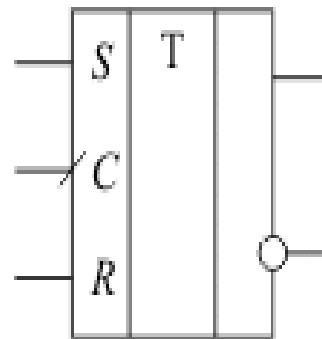
Шифратор



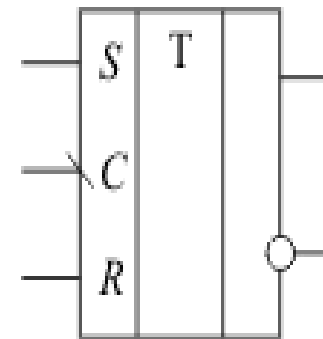
а)



б)



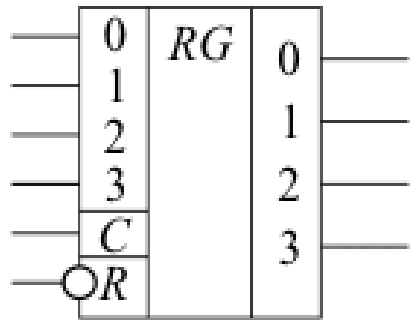
в)



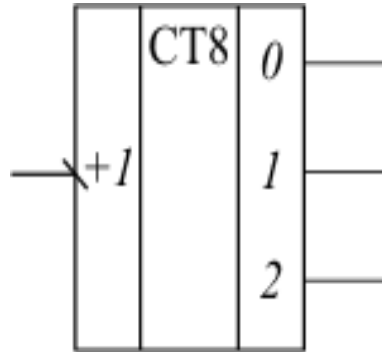
г)

Триггер

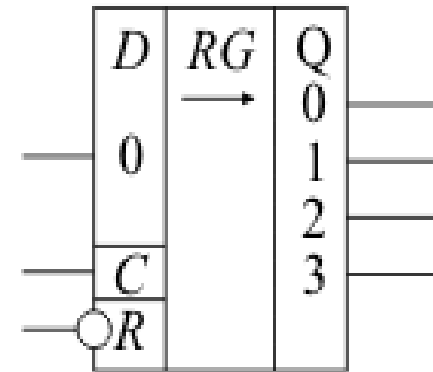
АЛУ, УУ их составные элементы



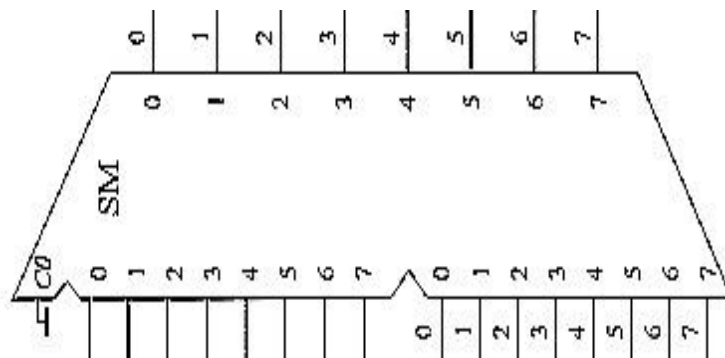
Регистр



Счетчик



Регистр сдвига



Сумматор

АЛУ – умножения чисел из 4 бит.

Прямой код:

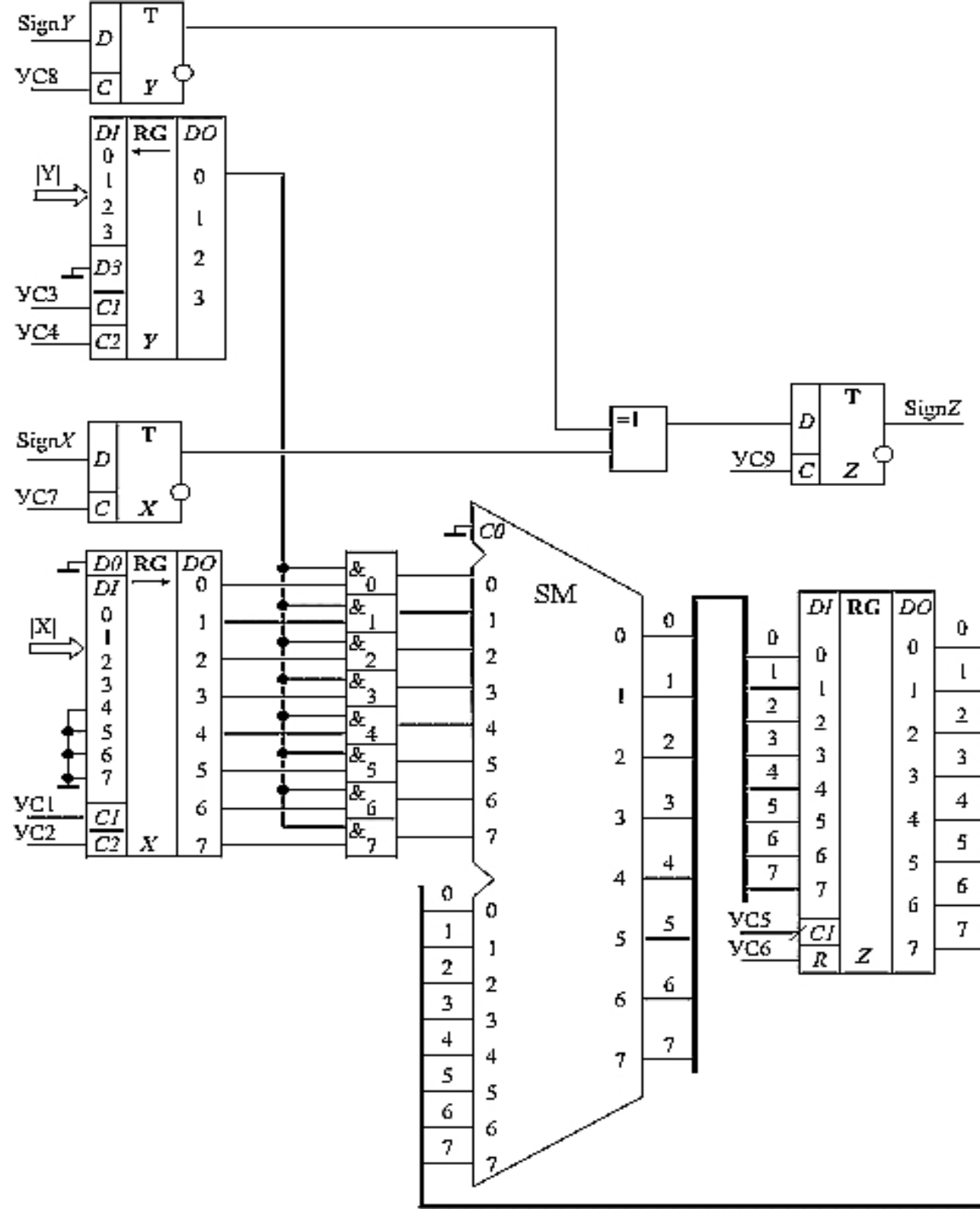
$$[X]_{\text{пк}} = x_0x_1x_2 \dots x_n$$

$$[Y]_{\text{пк}} = y_0y_1y_2 \dots y_n$$

в 0-ых битах – знак числа.

$$\text{Sign } Z = \text{Sign } X \text{ Sign } Y$$

$$|Z| = y_1 \cdot |X| \cdot 2^{-1} + y_2 \cdot |X| \cdot 2^{-2} + \dots + y_n \cdot |X| \cdot 2^{-n}$$



Простейшая схема УУ



микрооперация -> микрокоманда -> микропрограмма

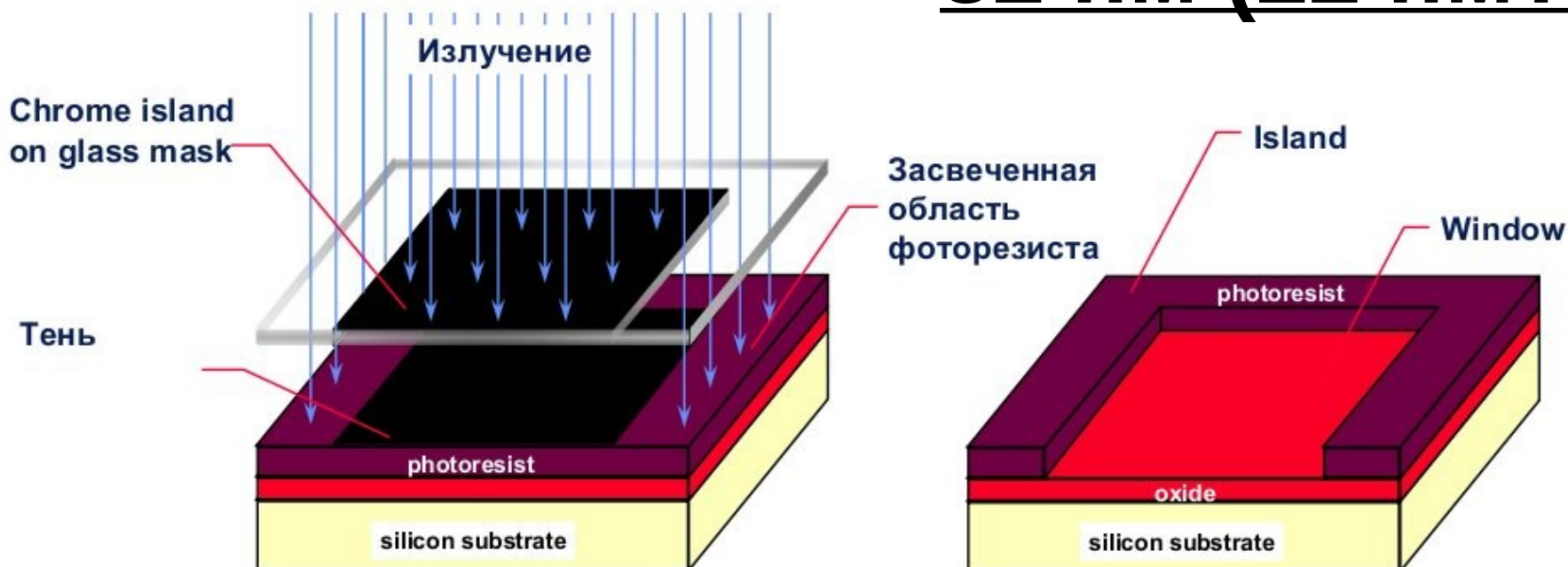
Фотолитография

Дифракционный предел

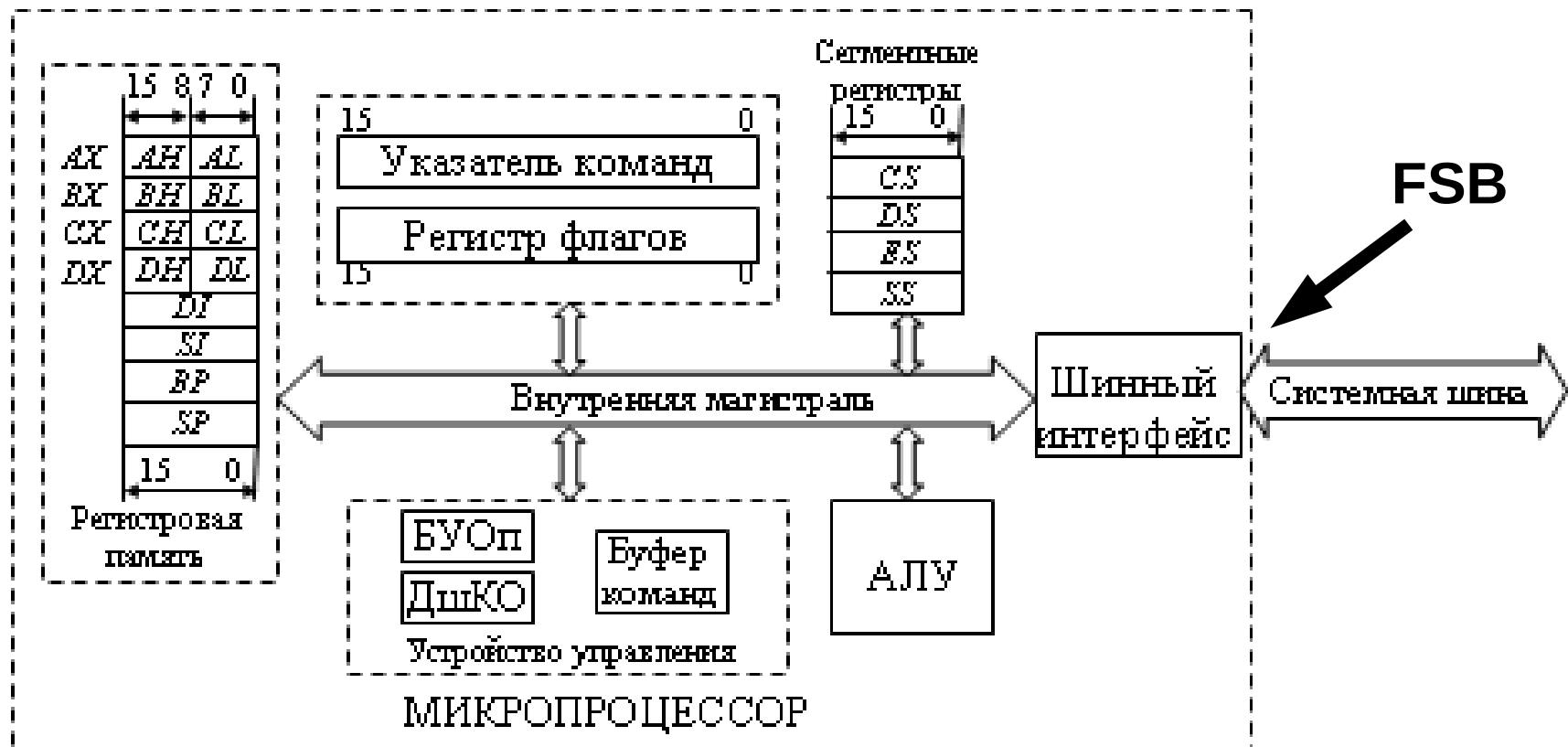
$$d = \frac{\lambda}{2n} \longrightarrow$$

λ - уменьшать?
 n — увеличивать?
Преодоление
дифракционного предела?

32 нм (22 нм?)



Общие характеристики процессора



Тактовые частоты: ~ 3,5 - 4 ГГц.

Емкость регистров: 64 — 32 бита.

Разрядность шины данных – 64 бита.

Объем адресуемой памяти 2^N

Типовой процесс: 32 nm! (22 nm Ivy Bridge)

CISC?
ИЛИ
RISC?

Хитрости современных процессоров

Конвейер

Цикл выполнения команды

1. IF считывание;
2. ID декодирование;
3. OR считывание операндов;
4. EX выполнение;
5. WB запись результата

Pentium - 5 ступеней (200 МГц)
Pentium4 - 20 ступеней (3,4 ГГц)
Itanium 10 ступеней (1 МГц)

Конфликты:

Структурные – разная длительность выполнения команд, разные команды обращаются к одной памяти;

по управлению – системы предсказания переходов(90 – 95%);

RAW (Read After Write) WAR (Write After Read) –

специальная система следит нужен ли последующим командам результат предыдущей.

буффер восстановления последовательности команд!

Хитрости современных процессоров

Суперскалярные — несколько АЛУ [Pentium-4 4 АЛУ] несколько конвейеров

Дополнительные наборы команд [блоков процессора] - MMX, 3DNow!, SSE, SSE2, SSE3... – 128 битные команды работы с плавающей точкой и целыми числами

Кэш - эксклюзивный и неэксклюзивный кеш L1 / L2 / L3

Hyperthreading Simultaneous Multi-Threading – программное распараллеливание – хранение двух очередей команд.

Прирост производительности: -5 - 15%

Синхронная работа с памятью/многоканальное взаимодействие

Наличие в процессоре контроллера памяти, контроллера видео

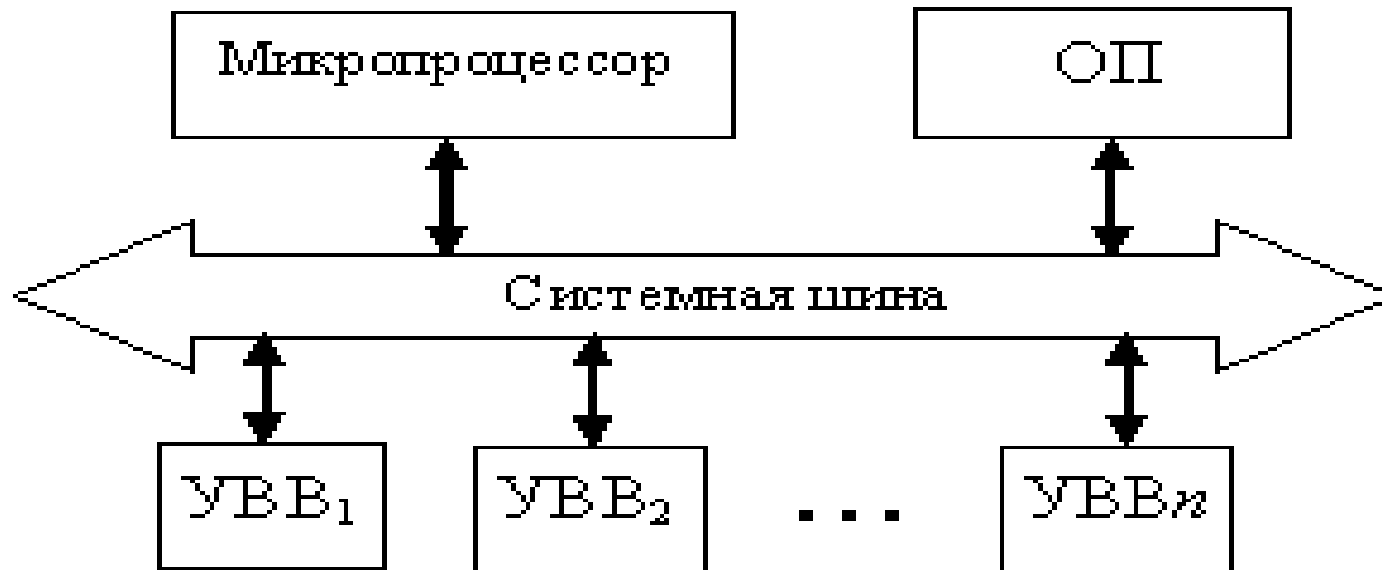
Многоядерность по архитектуре SMP

Технология Intel® Turbo Boost — повышение тактовой частоты

Прирост производительности: 0 — 10%

Компьютерные шины

Простейшая организация взаимодействия устройств

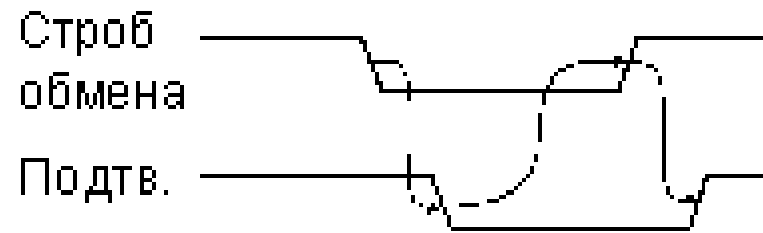
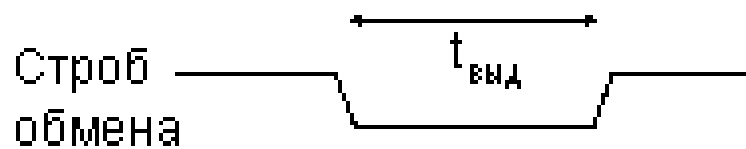


Характерный масштаб:

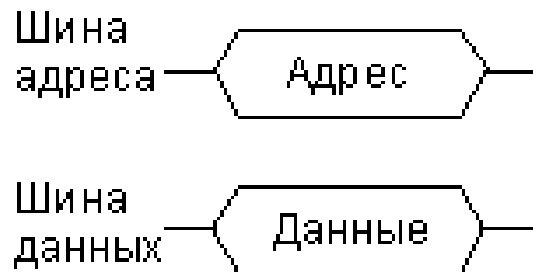
Частота: 1 ГГц, $c = 3 \cdot 10^{10}$ см/с \Rightarrow **L=30 см**

Обмен данными по шине

1. Синхронный, асинхронный, полусинхронный

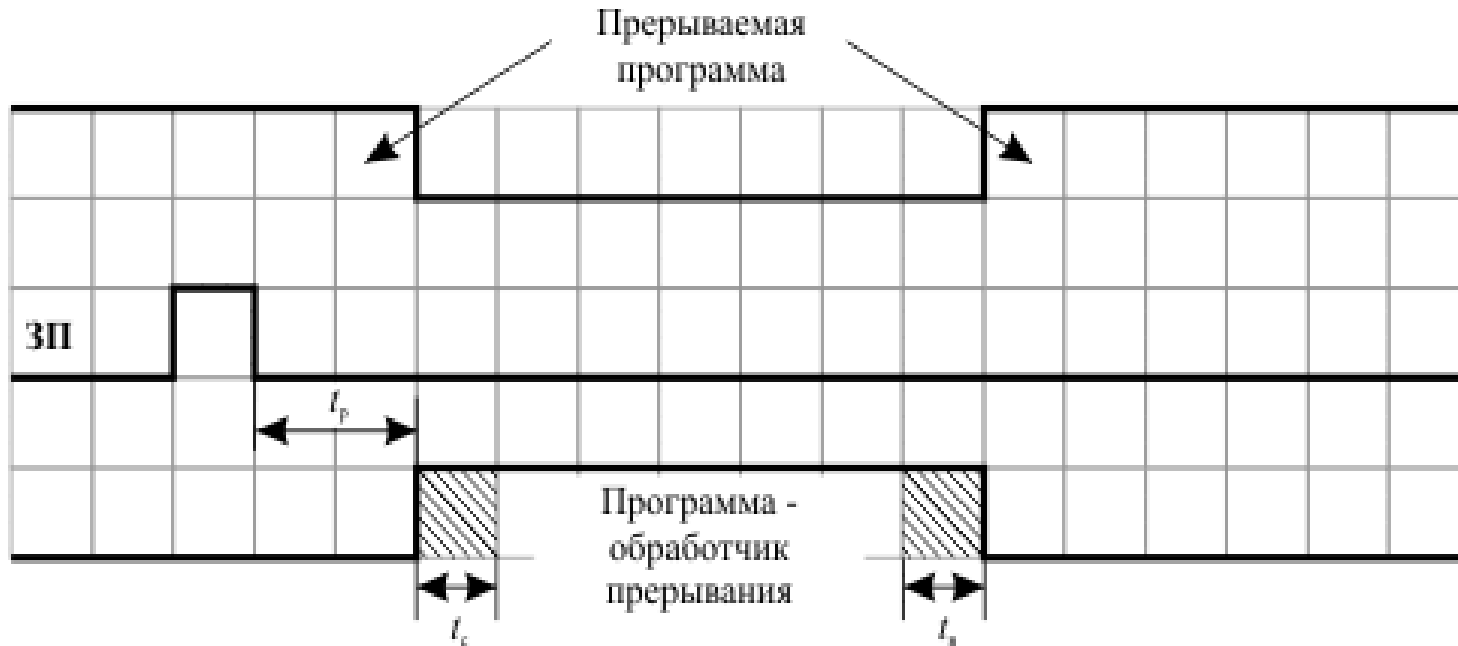


2. Мультиплексирование шин



IRQ прерывания

Работа процессора в режиме прерываний



Прямой доступ к памяти – возможность записывать данные без участия процессора. - **Контроллер ПДП.**

«Старые» компьютерные шины

ISA 1981 г - параллельная, синхронная, без мультиплексирования:

8 линий данных,

20 линий адреса (A0-A19),

6 линий запроса прерываний (IRQ2-IRQ7).

Память до 1 МБ, Частота: 4.77 МГц,

Позднее в AT: + 8 линий данных (16 бит), + 4 линий адреса (до 16 МБ);
+5 линий IRQ, частота 8 MHz;

PCI 1992 г. - параллельная, синхронная, мультиплексированная:

Разрядность: 32/64 бита; Частота: 33 МГц; = 133 МБайт/сек;

Адресуемая память 4 ГБ (32 бита);

PCI 2.2 66 МГц, = до 533 Мбайт/сек для 64 бит;

PCI-X 133 МГц = 1066 МБайт/сек.;

PCI-X 266 DDR версия PCI-X 133 МГц = **bulk 2.1** ГБ/сек;

PCI-X 533 QDR версия PCI-X 133 МГц = **bulk 4.3** ГБ/сек;

«НОВЫЕ» ШИНЫ

PCI-Express –
последовательная
системная шина общего
назначения.

Скорость канала: **2.5 Гбит/с.**

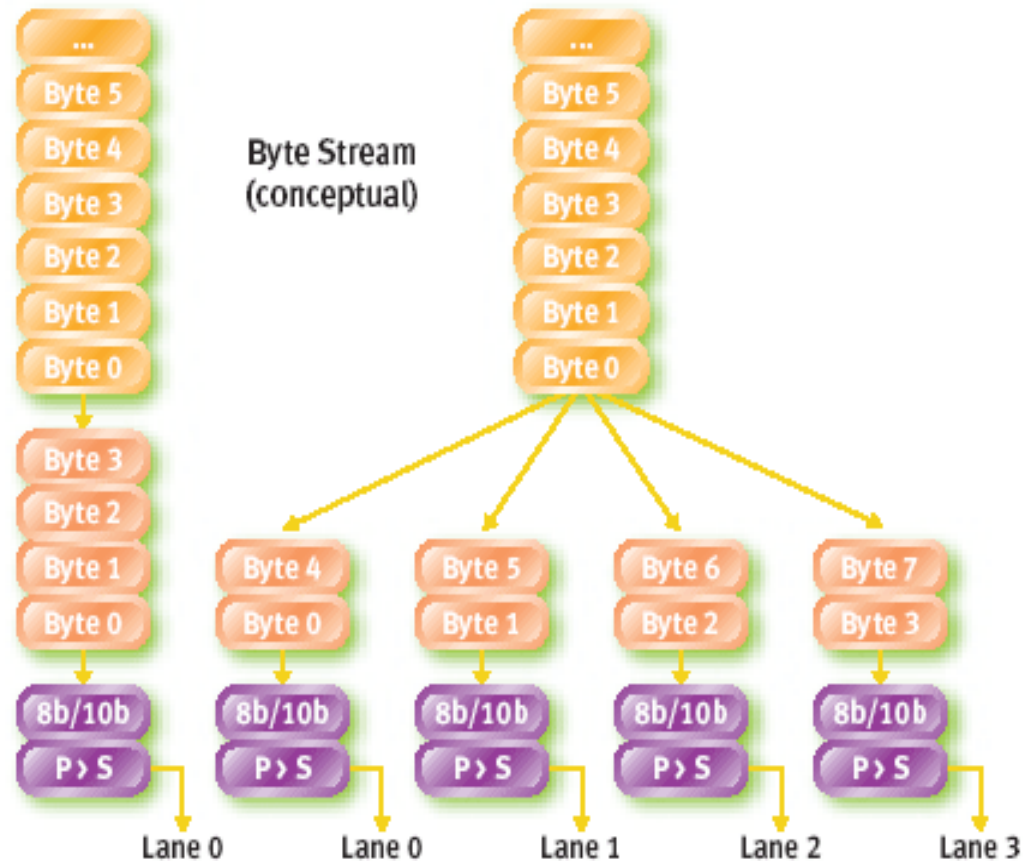
Кодирование: **8/10 (2 Гбит/с)**

Канал = две дифф. пары
4 контакта.

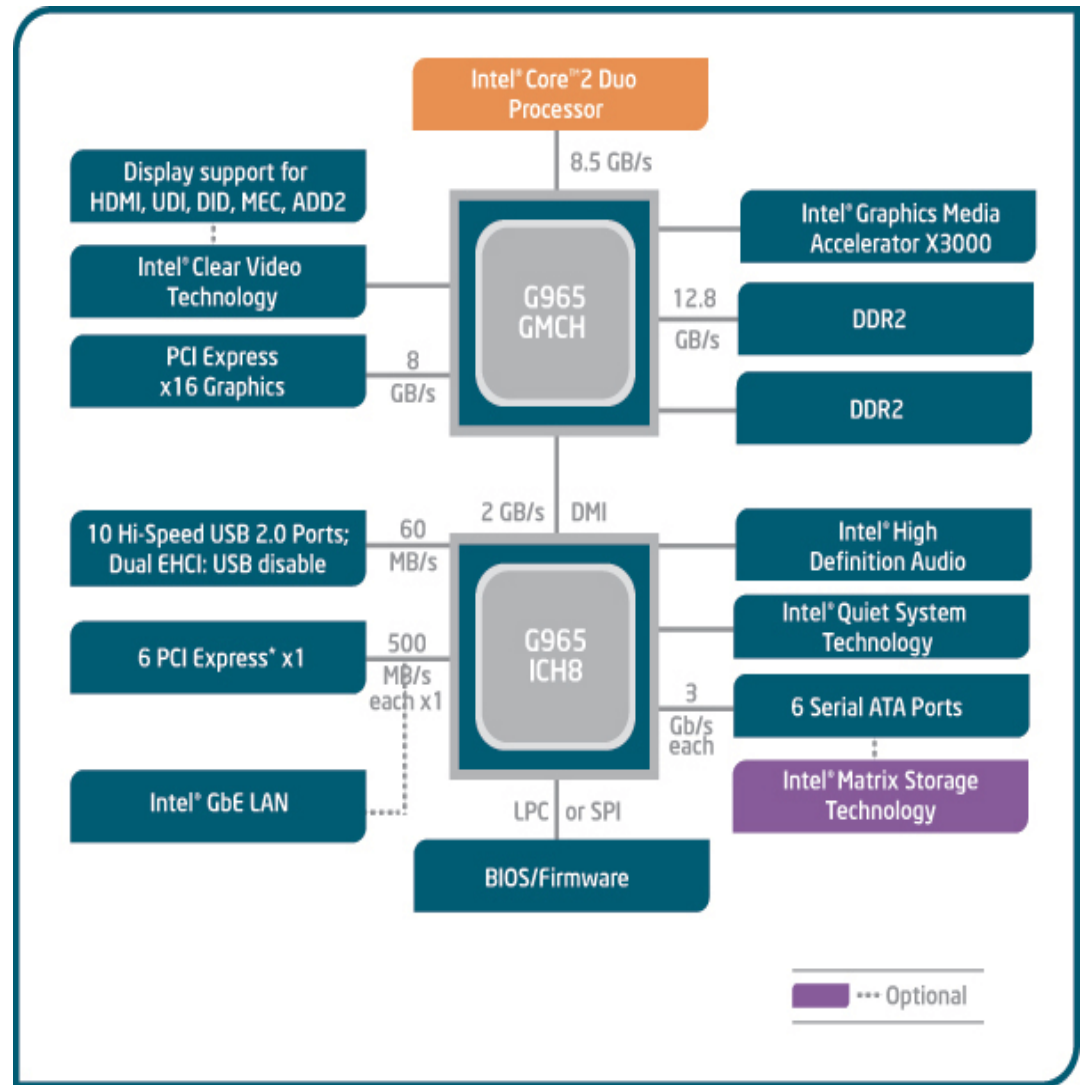
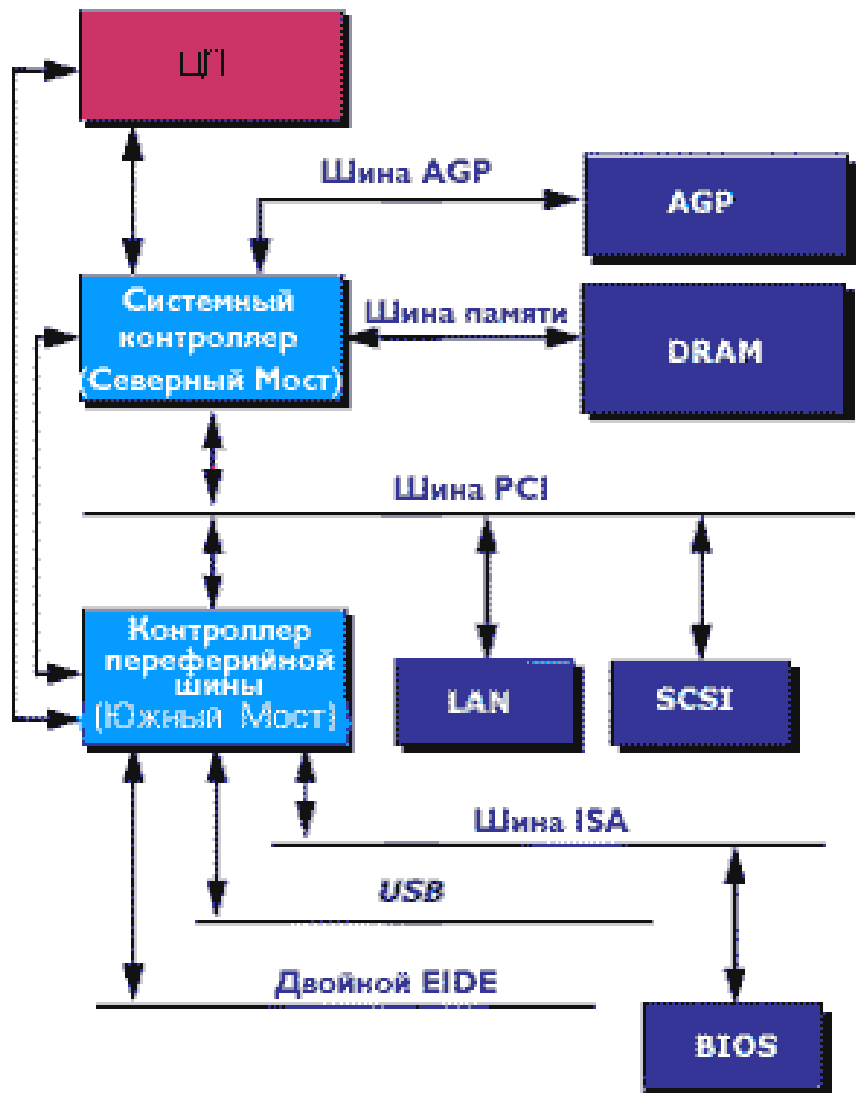
Сигнальный уровень: 0,8В

Стандартизованы PCIe:
x1, x2, x4, x8, x16 и x32

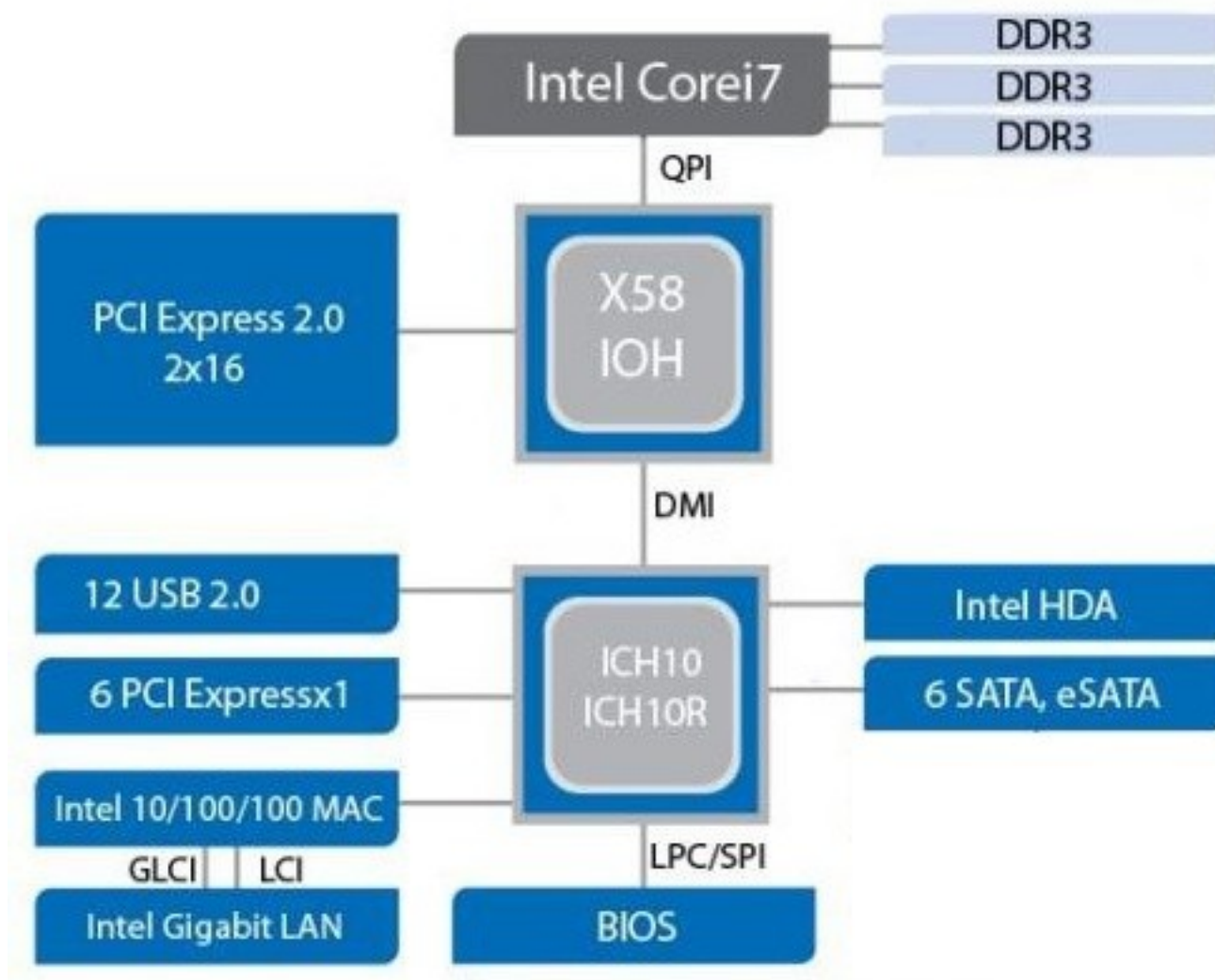
Пропускная способность:
до **6.4 Гбайт/сек**



Схемы взаимодействия систем



Современные схемы чипсета



Специализированные шины

Шины - замены FSB

Частоты 2 — 3 ГГц

QuickPath Interconnect (QPI) / Intel - последовательная шина типа точка-точка, 20 диф.пар,
Скорость - от 9,6 до 12,8 Гбайт/с в каждую сторону

HyperTransport / Консорциум. AMD. - DDR
Скорость до 51,6 Гбайт/с в оба направления

DMI (Direct Media Interface) /Intel 2004 г. — последовательная шина между «мостами»
Скорость 1 ГБ/сек в каждом направлении

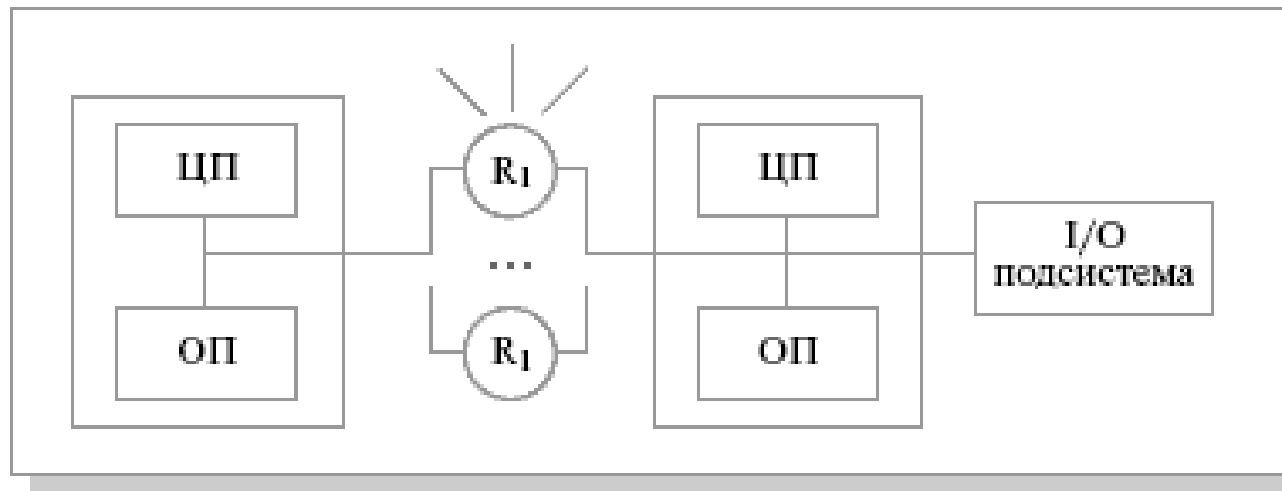
Ring Interconnect (более производительная чем QPI)
объединяющая процессорные ядра, графическое ядро, кеши

Мультипроцессорность/многоядерность

SMP (symmetric multiprocessing)



MPP (massive parallel processing)



Эльбрус-4С. МЦСТ. Россия



Архитектура Эльбрус



Обеспечивает исполнение ОС:
MS DOS, Windows (95, NT, 2000,
XP), нескольких вариантов Linux,
FreeBSD, QNX

Техпроцесс	65 нм.
Число ядер	4
Частота	800 МГц.
Производительность	до 50 Gflops.
Площадь кристалла	380 мм ²
Число транзисторов	986 млн.
Рассеиваемая мощность	45 Вт.

В одном кристалле:

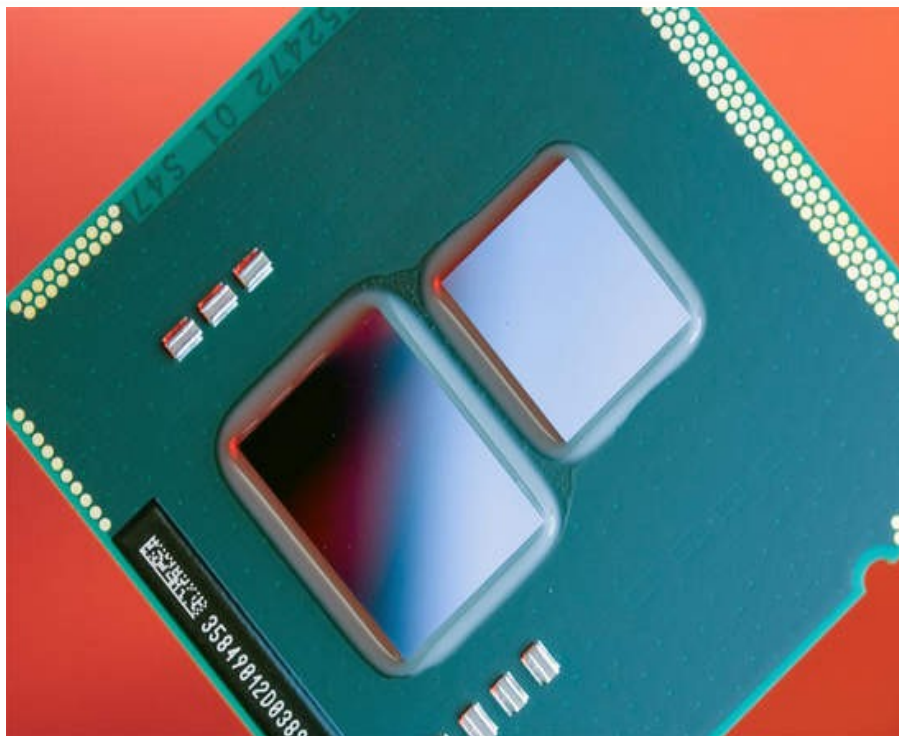
- 4 вычислительных ядра,
- кэш-память 2-го уровня 8 Мб
- 3 контроллера памяти,
- 3 канала межпроцессорного обмена

2014 год

Опытная партия **Эльбрус-8С**
8 ядер, частот 1,3 ГГц, 28 нм.

- 6 АЛУ
- 256 84-разрядных регистров.
- В такте до 23 операций одной командой
- Аппаратная поддержка циклов
- Устройство предварительной подкачки данных
- Спекулятивные вычисления

Мультипроцессорность/многоядерность



Направление развития —
встраиваемые контроллеры, GPU

Ivy Bridge

22 нм

шина Ring Interconnect

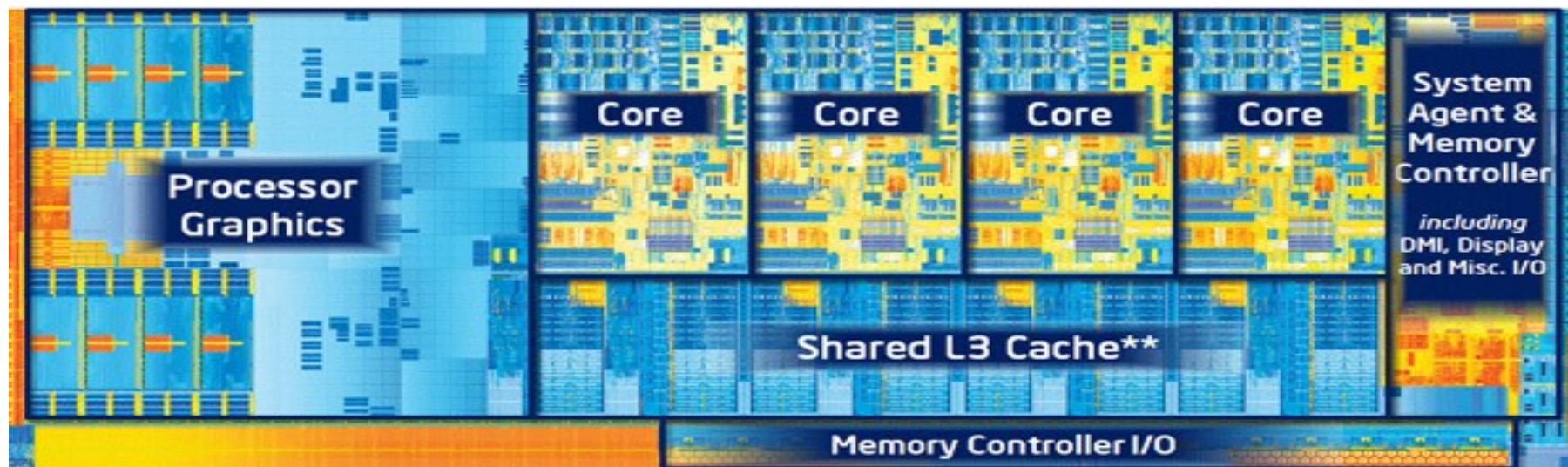
встроенный контроллеры:

PCI Express 3.0

DDR3

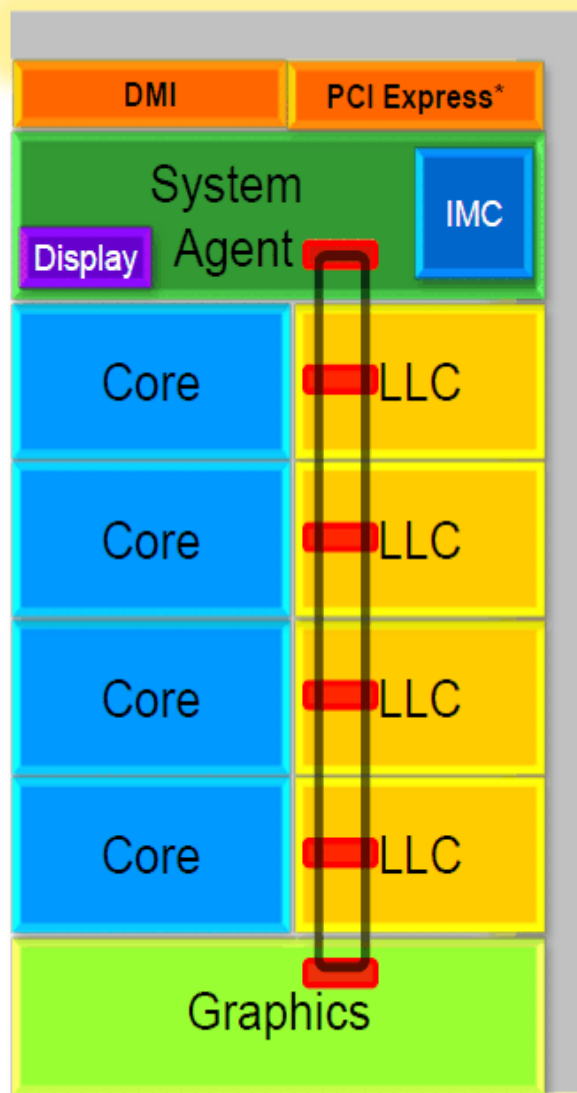
Thunderbolt (10 Гбит/с)

интегрированное GPU



Ring Interconnect

Задача - построить инфраструктуру, которая бы легко масштабировалась в зависимости от числа ядер и легко наращивалась дополнительными модулями интерфейсов.



«We basically dropped all that and integrated everything into one piece of silicon»

Opher Kahn
senior principal engineer

Sandy Bridge Ring Interconnect:

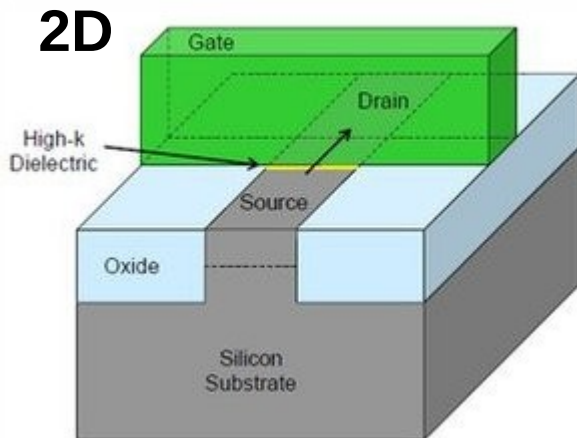
До 96 Гбайт/с (к кешу 380 ГБайт/с)

Частота ~ 3ГГц (частоты ядер)

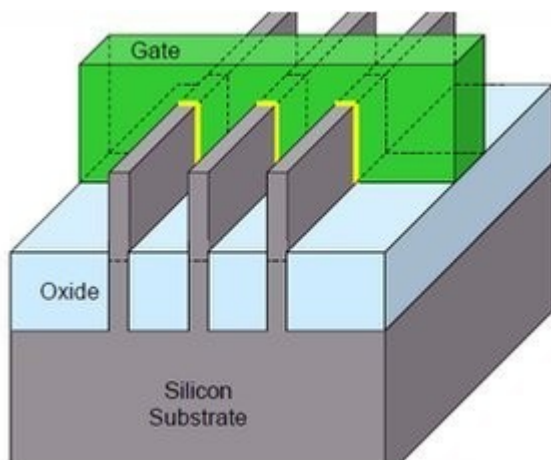
4x32бит:

- Шина данных
- Шина запросов (request)
- Шина подтверждений (acknowledge)
- Шина мониторинга (snoop)

22 нм. Haswell. 3D структуры



3D Быстродействие +37 %
Энергопотребление -50 %



Haswell

Техпроцесс	22 нм.
Транзисторов	1,4 млрд.
Площадь	177 мм ²
Тепловыделение	84 Вт.

Интегрированный векторный сопроцессор

Новые наборы инструкций:

- Advanced Vector Extensions 2 (AVX2)
- Fused Multiply-Add (FMA3)
- TSX (Transactional Synchronization Extensions)

Встроенная память eDRAM 64 Мб